

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-329807

(43) 公開日 平成9年(1997)12月22日

(51) Int.Cl.<sup>\*</sup> 識別記号 庁内整理番号 F I 技術表示箇所

G 0 2 F	1/136	5 0 0	G 0 2 F	1/136	5 0 0
	1/133	5 5 0		1/133	5 5 0
G 0 9 G	3/36		G 0 9 G	3/36	

審査請求 未請求 請求項の数 4 O.L. (全 18 頁)

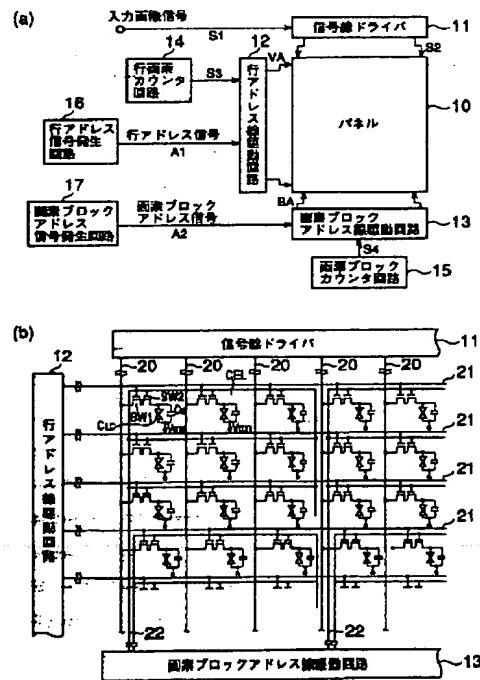
(21)出願番号	特願平8-151338	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成8年(1996)6月12日	(72)発明者	奥村 治彦 神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内
		(72)発明者	伊藤 剛 神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内
		(72)発明者	藤原 久男 神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内
		(74)代理人	弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】低消費電力化を図った液晶表示装置を提供すること。

【解決手段】表示領域内において複数の画素CELをマトリックス状に配列し、行位置を選択する信号線21と、列方向に個々の画素情報を与える画素信号線20とを設けてこれら信号線により与えられる信号により各画素の選択を行い、選択された画素に与えられる画素情報により画素表示を行うようにした表示装置において、各画素毎にそれぞれ設けられ画素毎に対応する信号線からの信号にて動作する第1スイッチング素子SW1と、各画素をブロック単位で分けると共にこのブロック単位で分けた画素をブロック単位で一括して選択するブロック選択手段13と、各画素毎に設けられ、前記ブロック選択手段にて選択されたブロック対応の画素において動作して前記第1スイッチング素子とにより自画素に対する画素情報を取得して画素表示に供する第2スイッチング素子SW2とを具備する。



## 【特許請求の範囲】

【請求項1】 表示領域内において複数の画素をマトリックス状に配列し、行位置を選択するゲート線と、列方向に個々の画素情報を与える画素信号線とを設けてこれらゲート線により与えられる信号により各画素の選択を行い、選択された画素に与えられる前記画素情報により画素表示を行うようにした液晶表示パネルを用いる液晶表示装置において、  
前記各画素毎にそれぞれ設けられ、画素毎に対応する前記ゲート線からの信号にて動作する第1のスイッチング素子と、  
各画素をブロック単位で分けると共に、このブロック単位で分けた画素をブロック単位で一括して選択するブロック選択手段と、  
各画素毎に設けられ、前記ブロック選択手段にて選択されたブロック対応の画素において動作して前記第1のスイッチング素子とにより自画素に対する画素情報を取得して画素表示に供する第2のスイッチング素子と、を具備してなる液晶表示装置。

【請求項2】 表示領域内において複数の画素をマトリックス状に配列し、行位置を選択するゲート線と、列方向に個々の画素情報を与える画素信号線とを設けてこれらゲート線により与えられる信号により各画素の選択を行い、選択された画素に与えられる画素情報をより画素表示を行うようにした液晶表示パネルを用いる液晶表示装置において、  
前記各画素毎にそれぞれ設けられ、画素毎に対応する前記ゲート線からの信号にて動作する第1のスイッチング素子と、

この第1のスイッチング素子を介して与えられる自画素に対する画素情報をレベルにより通過させて画素表示に供する整流素子と、報を取得して画素表示に供する第2のスイッチング素子と、を具備してなる液晶表示装置。

【請求項3】 表示領域内において複数の画素をマトリックス状に配列し、行位置を選択するゲート線と、列方向に個々の画素情報を与える画素信号線とを設けてこれらゲート線により与えられる信号により各画素の選択を行い、選択された画素に与えられる画素情報を画素対応に設けた保持手段に保持してこの保持した画素情報をより画素表示駆動を行うようにした液晶表示パネルを用いる液晶表示装置において、

前記行位置を選択するゲート線と異なるタイミングで当該ゲート線と同一行位置を選択する第2のゲート線と、  
前記各画素毎にそれぞれ設けられ、画素毎に対応する前記ゲート線からの信号にて動作する第1のスイッチング素子と、

この第1のスイッチング素子を介して与えられる自画素に対する画素表示情報をその画素表示情報の持つ信号レベルに応じて通過させて画素表示に供する第1の整流素子と、

前記各画素毎にそれぞれ設けられ、画素毎に対応する前記第2のゲート線からの信号にて動作する第2のスイッチング素子と、  
この第2のスイッチング素子の動作時に前記保持手段の保持する画素表示情報の持つ信号レベルに応じて放電させて消失させる第2の整流素子と、を具備してなる液晶表示装置。

【請求項4】 ほぼ直交して配置された垂直方向の選択に関わるゲート線と水平方向の選択に関する信号線と前記ゲート線と信号線が交差した部分に配置された画素と前記画素を選択するためのスイッチ素子を具備したアクティブラーマトリックス型液晶表示装置において、  
少なくとも前記信号線またはゲート線に前記画素を選択する信号と画像信号が時分割で印加されることを特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、複数の画素をマトリックス状に配列し、各画素の駆動により表示を行うようにした画像表示用の液晶表示装置に関する。

## 【0002】

【従来の技術】 液晶表示装置は、薄型軽量で低電圧駆動が可能であるため、腕時計、電卓をはじめとし、ワードプロセッサやパーソナルコンピュータ、小型ゲーム機器等に広く用いられている。最近ではペン入力電子手帳としてのニーズが高まり、携帯用端末機（PDA）への需要が拡大している。

【0003】 一方、マルチメディア化が進むにつれ複数の画像の表示を、同一画面に行う必要が生じるようになると、液晶表示装置としては大画面化及び高精細化が条件となり、情報量も増え、駆動周波数が高くなる。よって、これに伴い、より高速動作が可能なICの開発が必要となってくる。

【0004】 更に、駆動周波数が高くなると一般的に消費電力の増加が問題となり、携帯用端末機（PDA）が電池駆動となることから考えても、小型軽量化のために低消費電力化が当然のことながら、要求されるようになる。

【0005】 この低消費電力化のための液晶表示装置の駆動方法としては、例えば、特開平3-271795号公報開示の技術の如きが提案されている。この公報開示の駆動方法をここではマルチフィールド駆動法と名付けることにする。

【0006】 従来、マトリックス状に配列された画素に画像信号を書き込む場合、図13に示すように、行方向に配設された複数のアドレス線を上から順に走査していく、走査されたアドレス線に接続されている横一列の全スイッチング素子がオンとなり、信号線からの信号が画素電極に書き込まれることになる。この場合、同一のアドレス線に接続されている同一行のスイッチング素子は

オン状態となり、同一行に配設された全ての画素に所望の信号を与えなければならない。

【0007】つまり、前フィールドと次フィールドにおいて同じ画像を表示する場合に、同一の画像信号を信号線に供給しなければならない。ただし、液晶の駆動方法として極性を反転する必要がある場合、同一画像を表示する場合においても、対向電圧に対し、極性の反転した画像信号を加えることになる。しかし、これにおいても液晶が劣化しない条件下にあれば、駆動周波数をより低速化できる。前記マルチフィールド駆動においても、複数のサブフィールドにより1フレームを構成しているため、1画素についてみると駆動周波数がサブフィールドの数だけ分周され、低速化していることになる。また、これによって消費電力を大幅に低減している。

【0008】一方、液晶表示装置の表示画面を任意に領域区分して、部分的にウインドウとし、このウインドウ内で動画を表示し、ウインドウ外で静止画を表示するといった表示形態をとる場合、ウインドウ部分に相当する領域を表示することになった画素が備わっているアドレス線に関しては動画表示を行うために本来は駆動周波数を高くしておく必要がある。

【0009】しかし、従来のマルチフィールド駆動法を用いた場合、動画を表示する画素においては駆動周波数を低くすることから、駆動周波数が低くなつたことによる残像現象の発生を避けることができない。

【0010】また、近年においては液晶表示装置は、駆動電圧の低電圧化や駆動周波数の低減により、低消費電力化されてきているが、さらに、低消費電力化できる構造として、一画素毎にメモリを備えた構造が提案されている（特開昭58-196582号公報または特開平3-77922号公報参照）。この技術を採用することにより、静止画については、一度、表示信号を各画素に伝送してしまえば、その後はその画素のメモリに保持された信号で、その画素を常時表示すれば良い。そのため、消費電力は理論上、極性反転のための消費電力だけになることから、静止画については、消費電力は“0”に限りなく近づいてきている。

【0011】しかし、近年、マルチメディア化が進み、動画像を表示する必要が増大しており、しかも、その動画像は画素情報が速い速度で逐次変化する画像であることから、画素毎にメモリを持たせていても、そのメモリには高頻度で画素の信号を書き替える必要が生じる。そして、このように高頻度で画素の書き替えを行うようになると、従来と同様に大幅に電力を消費してしまう。

【0012】液晶表示装置の概略的な回路構成例を図14に示す。図14の(a)に、液晶表示装置の要部の構成をブロック図で示す。液晶表示装置は、図14(a)に示すように、液晶表示パネル10と、信号線駆動回路11と、ゲート線駆動回路12と、バッファ回路13と、コモン駆動回路14と制御信号発生回路15とを具

備する。

【0013】液晶表示パネル10は、図14の(b)に示すように、複数個の微小な液晶表示セルCELをマトリックス状に配設したものであり、それぞれの行単位で行駆動用の行走査線La1, La2～Lamを、そして、列単位でそれぞれ画素信号線Lb1, Lb2～Lbnを配してあり、各液晶表示セルCELはそれぞれ対応の行走査線によりスイッチSWが駆動されて、画素信号線からの画素信号が対応の液晶表示セルCELに印加され、画素表示される構成である。

【0014】液晶表示セルCELはこの画素信号線からの印加電位と、コモン電源（共通電源）VCOM電位との電位差分の電位が加えられることにより、その電位対応に画素濃度を変化させる。

【0015】コモン電源VCOMは共通電位の電源であり、これはコモン駆動回路14により発生されるようになっている。なお、制御信号発生回路15は表示動作に必要な各種の制御信号を発生して各部に与え、所要の動作を行えるように制御している。また、各液晶表示セルCELに対応して、それぞれスイッチSWが設けてあり、このスイッチSWはそれぞれTFT（薄膜トランジスタ）で構成されていて、そのゲート端子は対応する行の行走査線La1(～La2～Lam)に接続され、当該行走査線の信号によりオンオフ制御される構成である。また、各スイッチSWはそれぞれ対応の列の画素信号線Lb1(～Lb2～Lbn)と液晶表示セルCELとの間にソース-ドレイン間を接続して信号線駆動回路11の出力を液晶表示セルCELに与えることができるようとした構成である。

【0016】ゲート線駆動回路12は順次、行走査線La1, La2～Lamに駆動信号を与えて行単位で各液晶表示セルのスイッチSWを構成するTFTのゲートに信号を与え、当該スイッチSWを駆動制御するためのものである。

【0017】このような構成において、ゲート線駆動回路12は垂直方向に配列した全行走査線La1, La2～Lamを走査する時間周期でゲート線駆動信号をG1, G2, G3, ～Gmに順に発生する。

【0018】ゲート線駆動信号G1, G2, G3, ～Gmの出力端子は行対応にその該当の行走査線La1, La2～Lamに接続されており、従って、当該ゲート線駆動信号が発生された行走査線において、その行に接続されている液晶セルの各スイッチSWがオンオフ制御されることになる。このようにして、ゲート線駆動回路12により、各行走査線が順次走査されることになる。

【0019】一方、画像信号がバッファ回路13を介して信号線駆動回路11に与えられ、信号線駆動回路11では、行走査線の走査に対応して、その走査中の行の各画素の状態を画像信号に対応に制御すべく、その走査中の行の各画素の表示信号がそれぞれ各画素対応に出力さ

れ、この各表示信号が各画素位置対応に配された画素信号線 Lb1, Lb2~Lbn に出力される。

【0020】図14(b)に示す如き、液晶パネルにおいては、行走査線の信号をONすることによって、その行対応の液晶セルの各SWがONすると共に、信号線駆動回路11からの上述のような制御により、走査中の行の各画素対応の表示信号を与えることで、表示画像の内容対応の表示信号が画素信号線 Lb1, Lb2~Lbn を介して入力され、コモン駆動回路14から与えられるコモン電圧との電位差分の電圧が、液晶セルCELに印加され、画素表示がなされる。

【0021】ここで、液晶表示装置の駆動回路(モジュール回路)の消費電力が、どの様な要因で決まるかを検討する。なお、ここでは直流的に流れるバイアス電流による消費電力については当該モジュール回路の消費電力には含めないものとする。

【0022】液晶表示装置の駆動回路は上述したように、基本的に、信号線駆動回路、バッファ回路、制御信号発生回路、コモン駆動回路、ゲート線駆回路に分けられる。以下、それぞれについて詳細に述べる。

#### 【0023】[i] 信号線駆動回路

信号線駆動回路は、信号線を駆動するための駆動ICでデジタル式とアナログ方式に分けられるが、一般にO/A画像がデジタルであることから、整合性の良いデジタル式について消費電力を検討する。

【0024】デジタル式の駆動ICは基本的に信号のサンプリング時間を決めるシフトレジスタ、デジタル信号をラッチするラッチ回路、このラッチ回路のラッチしたデジタル信号をアナログ信号に変換するD/A変換回路、信号線を駆動する出力バッファからなる。

【0025】ここで、消費電力を決める要因は、ラッチ回路と出力バッファであるので、この2つのみ考える。

ラッチ回路の最大消費電力  $P_l$  は、画像信号に関する入\*

$$P_{la} = (2C_{gap} + C_{gap}) * f_s / 2 * V_{ga}^2 \quad \dots(4)$$

#### [iv] コモン駆動回路

コモン駆動回路は、コモン容量  $C_c$  を駆動するためのもので、コモン駆動回路の最大消費電力  $P_c$  は、コモンの駆動周波数を  $f_c$  、コモン駆動回路の電源電圧を  $V_c$  で表すと、以下のようになる。なお、コモン反転の場合、コモンの駆動周波数  $f_c$  は水平駆動周波数  $f_h$  の半分である。

$$[0030] P_c = C_c * f_c * V_c^2 \quad \dots(5)$$

#### [v] ゲート線駆動回路

ゲート線駆動回路は、ゲート線の容量  $C_g$  を駆動するた\*

\*力等価容量を  $C_l$  、サンプリングクロックに関する入力等価容量を  $C_{ck}$  、画像のサンプリング周波数を  $f_s$  、ラッチ回路電源電圧を  $V_l$  でそれぞれ表すと、以下のようになる。

#### 【0026】

$$P_l = (C_l + 2C_{ck}) * f_s / 2 * V_l^2 \quad \dots(1)$$

出力バッファの最大消費電力  $P_{ob}$  は、信号線容量を  $C_{ss}$  、水平駆動周波数を  $f_h$  、水平の画素数を  $N_h$  、信号線電圧を  $V_{ss}$  でそれぞれ表すと以下のようになる。

#### 【0027】

$$P_{ob} = N_h * C_{ss} * f_h * V_{ss}^2 / 2 \quad \dots(2)$$

#### [ii] バッファ回路

バッファ回路は、入力のデジタル信号を受けてノイズ除去や波形整形をして信号線駆動回路に安定な信号を供給する部分で、省略される場合もあるが、基本的に必要であるので考慮しておく。バッファ回路の最大消費電力  $P_b$  は、クロック  $f_s$  に関する回路の入力等価容量を  $C_{bc}$  、画像信号に関する回路の入力等価容量を  $C_{bp}$  、バッファ回路の電源電圧を  $V_b$  でそれぞれ表すと、以下のようになる。

#### 【0028】

$$P_b = (2C_{bc} + C_{bp}) * f_s / 2 * V_b \quad \dots(3)$$

#### [iii] 制御信号発生回路

制御信号発生回路は、基本的にゲートアレイ化しており、信号により内部の周波数が異なるが、主に画像のサンプリングクロック  $f_s$  に関する消費電力が重要なファクターと考えられる。ゲートアレイ全体の最大消費電力  $P_{ga}$  は、クロック  $f_s$  に関する回路の等価内部容量を  $C_{gap}$  、画像信号に関する回路の入力等価容量を  $C_{gap}$  、ゲートアレイの電源電圧を  $V_{ga}$  でそれぞれ表すと、以下のようになる。

#### 【0029】

※めめもので、ゲート線駆動回路の最大消費電力  $P_g$  は、ゲート線の駆動周波数を  $f_g$  、ゲート線駆動回路の電源電圧を  $V_g$  で表すと以下のようになる。なお、ゲート線の駆動周波数  $f_g$  は、通常、水平駆動周波数  $f_h$  である。

$$[0031] P_g = C_g * f_h * V_g \quad \dots(6)$$

#### [vi] 回路全体の消費電力 $P_{all}$

以上より、回路全体の消費電力  $P_{all}$  は、以下のようになる。

#### 【0032】

$$\begin{aligned} P_{all} &= P_l + P_{ob} + P_b + P_{ga} + P_c + P_g \\ &= (C_l + 2C_{ck}) * f_s / 2 * V_l^2 - N_h * C_{ss} * f_h * V_{ss}^2 \\ &\quad / 2 + (2C_{bc} + C_{bp}) * f_s / 2 * V_b^2 + (2C_{gap} + C_{gap}) * f_s / 2 \\ &\quad * V_{ga}^2 + C_c * f_c * V_c^2 + C_g * f_g * V_g \end{aligned}$$

(ここで、コモンは一定電圧で  $N_h * C_{ss} >> C_c$  とす

ると、

$$P_{all} = (C_l + 2C_{ck} + 2C_{bc} + C_{bp} + 2C_{gap} + C_{gap}) * (f_s / 2$$

7

$$) * V^2 + N_h * C_{ss} * \{ f_h / 2 \} * V^2 \\ = P_{at} \quad (C, f, V)$$

となり、容量Cと駆動周波数f（水平周波数と画像のクロック周波数）とデジタル系の電源電圧Vの関数となる。ここで、上記容量Cはデバイス構造、また、上記電圧Vはプロセスおよび液晶のV-T特性など、ICおよび液晶パネル構造で決まってしまう。しかし、周波数fは画像の水平走査周波数やフリッカ特性など、システム及び画質から決まつくるもので、駆動法により下げることが可能である。

【0033】次に、液晶パネルの消費電力がどのような要因で決まるかを検討する。液晶パネルは、基本的に図14に示すように、画素信号線と走査線（ゲート線）によってそれぞれ画像信号と走査信号が伝達され、画素表示される。この時、画素信号線と走査線の容量 $C_{sig}$ 、 $C_g$ を駆動するために、それぞれ $C_{sig} f V^2$ 、 $C_g f V^2$ の電力が消費される。この電力消費分は液晶セルCELの表示に直接的に寄与するものでないから、損失分である。

【0034】これを低減するには容量C、周波数f、電圧Vを下げる必要がある。そして、静止画であれば、周波数fを“0”にすることができるが、動画であれば、通常、これを“0”にすることはできないし、複雑な画像であれば各液晶セルCELの表示濃度が頻繁に変わることになるので、そのための駆動する電力も増加してしまうという問題がある。

【0035】先に提案されている画素メモリ付きLCDは、スイッチSWを介して得た表示信号を当該画素メモリに保持させ、このメモリ内容を用いて画素の表示に供するものであるが、これは静止画像表示に供する場合に、駆動周波数fや静的消費電力を低減する効果のある技術であるものの、動画表示に供される場合には、当然、駆動周波数fを上げる必要があり、そのために全体の消費電力は増加してしまう。

#### 【0036】

【発明が解決しようとする課題】以上のように、従来の液晶表示装置では、表示画像の表示信号を画素毎に保持できるようにした画素メモリ付き液晶表示装置とすると、静止画表示に供する場合に、駆動周波数fや静的消費電力を低減する効果が期待できるが、動画表示の場合にそのような消費電力低減効果が全く期待できないという問題があった。

【0037】特に近年のように、マルチメディアの浸透に伴い、動画表示は必須の要件であり、また、液晶表示装置は、ノートパソコンや、ハンディターミナル、携帯TV、携帯電話、電子手帳、ゲーム機などのような携帯機器に用いられることが多いから、消費電力の問題は解決しなければならない大きな課題の一つである。

【0038】従って、本発明は、マトリックス状に配列した画素のうち、書き込みを必要としない画素への書き

8

…(7)

込み動作による消費電力を大幅に低減することを目的とする。

【0039】また、本発明は、マトリックス状に配列した画素のうち、書き込みを必要としない画素への書き込み動作による消費電力を大幅に低減することを目的とする。また、本発明は、個々の画素もしくは複数個の画素からなる画素ブロック毎に選択駆動する表示方式において、アレイ構成を変えることにより、アドレス線の配線数を減らすこととする。

【0040】また、本発明は、列アドレス線駆動回路と信号線ドライバを表示面に対し、同じ側に配置することにより表示装置のサイズが問題となる場合に、より狭額縫化を可能にして表示面積を広く確保できるようにすることを目的とする。

【0041】また、本発明は、極性反転を必要とする液晶材料で、書き込み極性により輝度差があり、それによるフリッカが生じる場合に、隣接する画素間で極性を異なることによりフリッカを補償し、画質を改善することを目的とする。また、本発明は、書き換えを行わない画素について、信号線ドライバへのクロックを停止もしくは低速化することができるため、信号線ドライバでの消費電力を低減できる。

#### 【0042】

【課題を解決するための手段】本発明においては、表示領域内においてマトリックス状に配列した複数の画素と、前記1画素に対し少なくとも2つ以上のスイッチング素子と、前記1画素へ画像信号を供給する信号線と、前記信号線に画像信号を供給する信号線ドライバと、前記1画素への書き込み動作を制御する少なくとも2本以上のアドレス線と、複数の前記アドレス線に走査信号を供給するアドレス線駆動回路とを有し、走査信号に従つて個々の画素もしくは複数個の画素からなる画素ブロック毎に選択駆動することを基本的構成とした。

【0043】そして、第1には本発明は、マトリックス状に配列された複数の画素は、1画素内に少なくとも2つ以上のスイッチング素子と、前記スイッチング素子を制御するためにそれぞれ走査線（ゲート線）が配設されており、走査線より前記のスイッチング素子にON電圧が印加されることによって、信号線より画像信号が印加されることを特徴とする。

【0044】これにより、個々の画素毎もしくは複数個の画素からなる画素ブロック毎に任意選択を行うことができる。第2には本発明は、マトリックス状に配列された複数の画素は、1画素内に少なくとも2つ以上のスイッチング素子と少なくとも1つ以上の整流素子を有し、前記スイッチング素子を制御するためにそれぞれ走査線が配設されており、走査線より前記のスイッチング素子にON電圧が印加され、整流素子に加わる電圧関係によ

って画素電極電位を変えることができる。

【0045】第3には本発明は、マトリックス状に配列された複数の画素は、前記1画素に対し、2つのスイッチング素子と、2つの整流素子と、前記1画素へ画像信号を供給する共通の信号線と、前記信号線に画像信号を供給する信号線ドライバと、前記スイッチング素子にONもしくはOFFとなる電圧を印加する異なる走査線および電圧供給のためのアドレス線駆動回路とを有し、失々の画素を駆動する第1および第2のスイッチング素子において、第1のスイッチング素子のゲート電極は前記アドレス線に接続し、第2のスイッチング素子のゲート電極は前記ゲート線とは異なるゲート線に接続し、第1および第2のスイッチング素子のソース電極は前記信号線に接続し、第1のスイッチング素子のドレイン電極は第1の整流素子に接続され、第2のスイッチング素子のドレイン電極は第2の整流素子に接続し、それぞれの整流素子のもう一端がともに画素電極に接続される構成をとることによって、画素単位での書き込み選択および印加する画像信号の制御を行うことができる。これにより画素単位での書き込み制御を行える。

【0046】第4には本発明は、表示領域内においてマトリックス状に配列された複数の画素は、前記画素に画像信号を送信する複数の信号線と、前記信号線に画像信号を供給する信号線ドライバと、失々の画素を選択する互いに直交した複数のアドレス線と、列方向に配設された複数の前記アドレス線に走査信号を供給する列アドレス線駆動回路と、行方向に配設された複数の前記アドレス線に走査信号を供給する行アドレス線駆動回路とを有し、画素毎に選択走査することを可能にする表示方式において、前記列アドレス線と信号線の長さを変えることによって、例えば信号線パッド部と列アドレス線パッド部を横一列ではその間隔を維持できない場合に、前記パッド部の位置を横一列としないことによって、前記列アドレス線駆動回路と信号線ドライバは表示面に対し同じ側に配置し、同一のテープキャリアパッケージ上に実装することを特徴とする。

【0047】第5には本発明は、隣接する画素間において書き込みの極性を同一もしくは同一としないことによって、極性が異なることで画素の輝度が異なる場合において、隣接する画素間で極性を反転させることでフリップカを補償することを特徴とする。

【0048】第6には本発明は、1ライン分の画像データを記憶後、一括して信号線へ画像信号を出力する表示方式において、書き換えを行う画素のアドレスに合わせてクロックを変換するため、クロックの周波数を下げる、もしくは書き換えを行わない場合には、クロックを停止することを特徴とする。

【0049】第1の本発明によれば、マトリックス状に配列した個々の画素もしくは複数個の画素からなる画素ブロックにたいして、選択的に駆動することができる。

これにより、1フレーム中で書き換えを行う画素もしくは画素ブロックと、行わない画素もしくは画素ブロックとの選択が行えるため、書き換えを必要としない画素夫々に対し、信号を出力する必要が無くなり、消費電力を減らすことができる。例えば、ウィンドウ表示を行う表示方法において、動画と静止画が同一画面に同時に表示する必要がある場合、動画を表示する画素と静止画を表示する画素とをそれぞれ別に選択駆動できるため、静止画を表示している画素については画質劣化が視覚特性で視認されない領域まで駆動周波数を下げることが可能となり、消費電力を大幅に低減できることになる。

【0050】第2の本発明によれば、マトリックス状に配列した画素に対して、画素内に整流素子を有し、信号線と画素電極間に配置することによって、信号線と画素間のスイッチング素子がON状態になった場合においても、信号線電位と画素電極電位の電圧関係によって画素への書き込み動作を制御できる。これにより例え従来のように列方向に配列された画素に対して走査線にON電圧が印加され、一括して選択されていた場合においても、信号線に加える電圧によっては整流素子により、非導通状態になるため、画素電極への信号書き込みが行われないようにすることができる。よって同じ走査線に配設された画素間においても選択的書き込み動作を行わせることができる。この場合、書き換えを行う画素については前フィールドの画像信号をリセットする動作が必要となるため、画素内に有する別のスイッチング素子を介して画素電極と対向電極電位を一致させる手段をとることもできる。

【0051】第3の本発明によれば、1画素内にスイッチング素子を2つ、整流素子を2つ有し、前記スイッチング素子を制御するための走査線が、列方向に配列された画素に対し2本配設され、前記走査線の選択する位相を異ならせるとともに、信号線電位と画素電極電位の電圧関係によって画素への書き込みおよび消去動作を制御できる。この場合、整流素子が導通となる方向はお互いに反対方向となるように配設されている。これにより、例え従来のように列方向に配列された画素に対して走査線にON電圧が印加され、一括して選択されていた場合においても、信号線に加える電圧によっては整流素子により、非導通状態になるため、画素電極への信号書き込みおよび消去が行われないようにすることができる。また、この場合2本の走査線が列方向のみに配列されているため、行アドレス線駆動回路のみによって実施できるもしくは夫々の行アドレス線駆動回路を片側に設置できるパネル構成がとれるため、ドライバが増えることによる額縁サイズが大きくならない。

【0052】第4の本発明によれば、前記列アドレス線と信号線の長さを変えることによって、前記列アドレス線に備わっているパッド部と信号線に備わっているパッド部とを異なる段に配置することで、各パッド部間のビ

11

シチを大きくとれるため、前記パッド部を表示面に対し同じ側に配置した場合にでも、信号線ドライバからの配線と行アドレス線駆動回路の配線と力を5重ならずにコンタクトできる。これにより画素信号線を駆動する信号線ドライバと、列アドレス線を駆動する列アドレス線駆動回路が表示面に対し同じ側に配置することができ、ドライバが増えることによる額縁サイズが大きくならない。

**【0053】**第5の本発明によれば、書き込みの極性が異なることによる画素の輝度差がフリッカとなって現れる場合において、隣接する画素間で極性を異ならせることができるため、フリッカを補償することができる。この場合、マルチフィールド駆動でよく知られているように、隣接する1画素毎に極性を反転させずに、複数画素ブロック単位で反転させる、もしくは複数フィールドにわたって反転を行うこともでき、視覚の時空間周波数特性において視認される領域に入らないようにすることによって画質を十分維持できる。

**【0054】**第6の本発明によれば、画素への書き換えを行わない画素が存在する場合に、信号線へのクロックを停止する、もしくは書き換えを行う画素のアドレスに合わせてクロックの周波数を低くすることができるため、信号線ドライバでのクロックによる消費電力、また、画像データをシフトさせるために消費する電力を低減できる。

#### 【0055】

**【発明の実施の形態】**以下、本発明を具体例を参照して記述する。はじめにマトリックス状に配列された複数の画素のうち、個々の画素毎もしくは複数個の画素からなる画素ブロック毎に、任意選択駆動を行う方式の液晶表示装置を説明する。

**【0056】**(第1具体例) 第1の具体例は、複数の画素をマトリックス状に配列した構造の画像表示用液晶表示装置において、複数の画素のうち、個々の画素毎もしくは複数個の画素からなる画素ブロック毎に、任意選択駆動を行うようにして低消費電力化を図るものである。

**【0057】**図1(a)は本発明の第1具体例に係る液晶表示装置の要部の構成を示すブロック図であり、図1(b)は、各画素毎に選択するための液晶パネルのセル構成を示してある。本具体例の液晶表示装置は、図1

(a)に示すように、液晶表示パネル10と、信号線ドライバ11と、行アドレス線駆動回路12と、行画素カウンタ回路14と、行アドレス線信号発生回路15と、画素ブロックアドレス線駆動回路13と、画素ブロックカウンタ回路16と、画素ブロックアドレス線信号発生回路17とを具備する。

**【0058】**また、図1(b)には、各画素毎に選択するための液晶パネルのセル構成を示してある。図2

(a)には、行アドレス線駆動回路12での処理方法を示してある。

**【0059】**ここで、信号線ドライバ11は入力画像信

号を受け、行アドレス線の走査に対応して、その走査中の行の各画素の状態を画像信号対応に制御すべく、その走査中の行の各画素の表示信号をそれぞれ各画素対応に出力するもので、この各表示信号が各画素位置対応に配された画素信号線20に出力される。

**【0060】**液晶表示パネル10は複数の画素をマトリックス状に配列した画像表示用の液晶パネルであり、この液晶表示パネル10は図1(b)に示すように、行方向に配線を延ばして複数の行アドレス線21が、そして、列方向に配線を延ばして複数の画素信号線20が、それぞれ配されている。そして、行アドレス線21と画素信号線20で囲まれる領域が個々の画素となる液晶セルCELを構成している。

**【0061】**各液晶セルCELはTFT(薄膜)トランジスタからなる第1のスイッチング素子SW1と、同じくTFTトランジスタからなる第2のスイッチング素子SW2と、液晶CLCと、容量Csとからなる。本具体例においては、画面を複数領域に分割し、駆動は各領域単位で行うようにしたブロック駆動方式としてある。

**【0062】**第1のスイッチング素子SW1は、そのゲートがその液晶セルCELの座標位置対応の行アドレス線21に接続され、また、ソース-ドレイン間をその液晶セルCELの座標位置対応の信号線20と第2のスイッチング素子SW2のソース-ドレイン間を介して液晶CLCの駆動電極に接続される構成としてある。液晶は駆動電極とこれに対向する対向電極との間に液晶材料を挟んだ構成であり、液晶CLCも同様の構造になっている。従って、対向電極に共通電位Vcomを印加できるようになると共に、液晶CLCの駆動電極側と対向電極との間に補助容量Csが介在する構成としてある。

**【0063】**また、第2のスイッチング素子SW2のゲートがその液晶セルCELが所属するブロックの画素ブロックアドレス線22に接続される。また、画素ブロックアドレス線22は前記ブロック単位で配線されてい

る。

**【0064】**行アドレス線駆動回路12は行アドレス線駆動用の信号を発生するためのものであり、この行アドレス線駆動回路12は複数本ある各行アドレス線21に対応の出力端子を有していて、この出力端子に各行アドレス線21は順に接続されて行アドレス信号を与えられる構成である。

**【0065】**行画素カウンタ回路14は動画像のフレーム表示制御に対応して画像が表示されるように、行画素位置を管理するためのカウンタであり、この行画素カウンタ回路14では、液晶表示パネル10のマトリックス配列された画素のうち、行に対して配列してある画素に対応するアドレス線を全て駆動するのに要する時間(通常、1フレーム)毎に、スタート信号S3が発せられ、これにより、1フレームの期間に順に各出力端子を一巡するかたちで当該各出力端子から信号(行アドレス信

号) がそれぞれ単独出力されるようになっている。

【0066】行アドレス信号発生回路15はフレーム表示制御に対応したタイミングで位置フレームの期間に全ての行を順に1行ずつ選択することができるようとした行アドレス信号を発生する回路であり、この行アドレス信号発生回路15では、行に対して配設したアドレス線を選択走査するための信号、行アドレス信号A1が発せられる。

【0067】ここで、本具体例における行アドレス信号発生回路15での処理方法は、1フレーム(1枚のフレーム画像)を複数のサブフィールドに分割することにより、駆動周波数を下げるマルチフィールド駆動法で適用されているように、選択を行う画素が備わっている行アドレス線についてのみ走査が行われる。なお、マルチフィールド駆動法はよく知られている技術であるため、その詳細な説明はここでは省略する。

【0068】前記行アドレス線駆動回路12は行画素カウンタ回路14からのスタート信号S3と画素ブロックカウンタ回路16からの行アドレス信号A1と、画素ブロックアドレス信号発生回路17からのアドレス信号A2とが与えられてこれより1フレームの期間に順番に液晶パネルのマトリックス構成の画素の各行を駆動できるように駆動信号を発生するが、それを実施できるようにするために、この行アドレス線駆動回路12には、シフトレジスタが内蔵されており、スタート信号S3を行方向に1水平期間毎にシフトしていく。行アドレス線VA1, VA2～VAEへの信号は、スタート信号S3と行アドレス信号との論理積によって行われる。

【0069】図2(b)には、画素ブロックアドレス線駆動回路13での処理方法を示してある。ここで、画素ブロックカウンタ回路16では、ブロック単位で配設している画素に対応するアドレス線を全て駆動するのに要する時間(通常、1水平時間)毎に、スタート信号S4が発せられる。画素ブロックアドレス信号発生回路17では、選択する画素ブロック単位に配設したアドレス線を選択走査するための信号、画素ブロックアドレス信号A2が発せられる。

【0070】画素ブロックアドレス信号発生回路17での処理方法はどのようなものであっても良いが、1水平画像(1水平ライン分の画像)を複数のブロックに分割しているため、駆動周波数は低い。画素ブロックアドレス線駆動回路13には、シフトレジスタと、それぞれのアドレス線に対応したデータメモリと、マルチプレクサとを内蔵しており、スタート信号S4をシフトていき、画素ブロックアドレス信号A2との論理積によって行われた結果が、前記データメモリに記録される。データメモリ内では、画素ブロックアドレス線BA1, BA2～BAEへのゲート電圧の出力を選択する情報が記録されており、マルチプレクサにより前記ゲート電圧の出力が制御される。

【0071】図1(b)には、各画素毎に選択するための液晶表示パネル10のセル構成を示してある。上述したように基本的なセル構成は、液晶CLcと、補助容量Csと、スイッチング素子SW1およびSW2よりもなる。そして、スイッチング素子SW1は行アドレス線21に接続しており、スイッチング素子SW2は画素ブロックアドレス線22に接続している。

【0072】そして、前記行アドレス線駆動回路12から行アドレス線21を介してON(オン)電圧が印加された場合に、この行アドレス線21にゲートが接続されているスイッチング素子SW1はオン状態になり、画素ブロックアドレス線駆動回路13から画素ブロックアドレス線22を介してON(オン)電圧が印加された場合に、この画素ブロックアドレス線22にゲートが接続されているスイッチング素子SW2はオン状態になる。

【0073】これにより、複数ある画素(液晶セル)のうち、前記行アドレス線駆動回路12と画素ブロックアドレス線駆動回路13にて前記各アドレス線にON(オン)電圧が印加され、スイッチング素子SW1およびスイッチング素子SW2が同時にON(オン)となった画素についてのみ、画素信号線20からの画像信号が印加可能になる。画素ブロックアドレス線22は画素のブロック単位でそのブロック内のすべての画素のスイッチング素子SW2に同時に与えられてオン状態にするので、複数ある画素ブロックについて、各画素ブロック毎に任意選択してそのブロックの画素を駆動可能な状態にするといった制御を行うことができる。

【0074】そして、スイッチング素子SW1およびスイッチング素子SW2が同時にON(オン)となった画素について、画素信号線20からの画像信号が印加された段階でこれらスイッチング素子SW1およびSW2を介してその画素の容量C<sub>s</sub>にこの画像信号が印加され保持され、この保持された画像信号が液晶CLcに印加されて以後、書き替えが成されるまで、この容量C<sub>s</sub>に保持された画像信号で液晶CLcは液晶CLcを駆動して表示に供することになる。

【0075】そのため、複数ある画素ブロックのうちの、表示内容の書き替えの必要なブロックについてのみ駆動可能な状態にすることで、他は駆動しないことにより、動画像表示を低消費電力で実施できるようになる。

【0076】図3は縦横3画素を1ブロックとした場合を例に、一例としての動作を示している。図3(a)には、本具体例における各部の信号波形を示す。また、図3(b)には各画素のアドレスを示すとともに、図3(c), (d)には前記(a)での信号波形での(b)における各画素毎のスイッチング結果を示す。

【0077】図3(a)で画素アドレスPxi,yjはX行Y列のマトリックスにおけるXi行Yj列目の画素を示し、Xiは行アドレスに、Yjは列アドレスに相当している。こ

れより、行アドレスVAと列アドレスBAの論理積によって、画素のスイッチングが制御される。

【0078】また、本具体例においては縦横3画素ずつの画素ブロックについて述べているが、ブロックの分割方法については、各ブロック毎で画素数を同一としても同一でなくしても良く、1画素以上のブロック単位で任意に定めることができる。さらに、ブロック選択の利点としては、動画の圧縮伝送方式として標準化されたMPEG1やMPEG2とのマッチングの良さがあげられる。

【0079】つまり、MPEG技術では、画像を $8 \times 8$ や $16 \times 16$  ( $16 \times 8$ ) 等のブロック単位で分割し、動きの“ある”、“無し”的判断と圧縮処理については、これら $8 \times 8$ や $16 \times 16$  ( $16 \times 8$ ) 等のブロック単位で行われる。従って、画素単位に選択できたとしても伝送されてくる情報はブロック単位となるため、有效地に情報を利用できない。よって、伝送されるブロックの大きさに合わせたブロックで区切ることが望ましい。また、ブロック毎にアドレス線を配設できるため、複数列でブロック化することによって、パネルのアドレス線数を少なくすることもできる。

【0080】これにより、図4に示されるように、行アドレス線駆動回路中に画素ブロックアドレス線駆動回路と同様の機能をもたせることによって、ドライバ数を増やすないようにすることができる。

【0081】以上、第1の具体例は、マトリックス状に配列された複数の画素をブロックに区分して、各ブロック毎に駆動制御可能にして画像の書き替えの必要のあるブロックについて動作させ、他は動作させないようにする構成としたことにより、低消費電力化を図ることができるようとしたものである。

【0082】画像信号を記憶する記憶保持手段である容量C<sub>0</sub>を画素毎に設けた液晶表示装置において、書き替えの必要な画素に対してのみ、与えられた画像信号の内容に書き替える構成とすることによって低消費電力化を図る例を次に第2具体例として説明する。

【0083】(第2具体例) 第2の具体例は、マトリックス状に配列された複数の画素は、1画素内に少なくとも2つ以上のスイッチング素子と少なくとも1つ以上の整流素子を有し、前記スイッチング素子を制御するためにそれぞれ走査線が配設されており、走査線より前記のスイッチング素子にON電圧が印加され、整流素子に加わる電圧関係によって画素電極電位を変えることができるようとするものである。

【0084】ここではマトリックス状に配列した画素に対して、画素内に整流素子を有し、信号線と画素電極間に配置することによって、信号線と画素間のスイッチング素子がON状態になった場合においても、信号線電位と画素電極電位の電圧関係によって画素への書き込み動作を制御できるようにする。これにより、例えば従来の

ように列方向に配列された画素に対して走査線にON電圧が印加され、一括して選択されていた場合においても、信号線に加える電圧によっては整流素子により、非導通状態になるため、画素電極への信号書き込みが行われないようにすることができる。このようにすることによって、同じ走査線に配設された画素間においても選択的書き込み動作を行わせることができるようにして低消費電力化を図る。

【0085】詳細を説明する。第2の具体例は、マトリックス状に配列された複数の画素のうち、個々の画素もしくは複数個の画素からなる画素ブロック毎にリセットパルスを印加後、行方向に配列された画素に対し、任意選択駆動を行うものであり、図5に示す如きの構成を採用する。

【0086】図5においては本発明の第2具体例に係る液晶表示装置の要部の構成を示してあり、本具体例の液晶表示装置は、図示のように、複数画素をマトリックス配列した構成の液晶表示パネル50と、信号線ドライバ51と、行アドレス線駆動回路52と、行画素カウンタ回路54と、行アドレス線信号発生回路55と、リセット信号線駆動回路53と、リセットカウンタ回路56と、リセット信号発生回路57とを具備する。

【0087】図5(b)には、各画素毎に選択するための液晶パネルのセル構成を示してある。基本的なセル構成は、液晶CLCと、補助容量C<sub>0</sub>と、スイッチング素子SW1およびSW2と、整流素子D1からなる。

【0088】そして、スイッチング素子SW1はそのゲートを行対応にそれぞれ設けてある行アドレス線58における自己画素対応の行アドレス線58に接続しており、また、信号線ドライバ51から列対応にそれぞれ設けた画素信号線における自己画素対応の画素信号線とダイオードD1のアノード側との間を、当該スイッチング素子SW1のソース・ドレイン間で接続してある。そして、ダイオードD1のカソード側は液晶CLCの駆動電極に接続している。

【0089】液晶は駆動電極とこれに対向する対向電極との間に液晶材料を挟んだ構成であり、液晶CLCも同様の構造になっている。従って、対向電極に共通電位V<sub>com</sub>を印加できるようにすると共に、液晶CLCの駆動電極側と対向電極側との間に補助容量C<sub>0</sub>が介在する構成としてある。

【0090】スイッチング素子SW2は列対応にそれぞれ設けてあるリセット信号線59の自己画素対応のリセット信号線59にそのゲート側を接続しており、また、スイッチング素子SW2のソース・ドレイン間はダイオードD1のカソード側とリセットパルスV<sub>rs</sub>を与えるリセットパルスT<sub>rs</sub>端子との間に接続してある。

【0091】この構成により、前記リセット信号線駆動回路53より前記リセット信号線にON(オン)電圧が印加されることで、スイッチング素子SW2がON(オ

ン) となった画素について、画素電極電位は  $V_{rs}$  となる。この場合の画素電極電位  $V_{rs}$  は、画素電極電位として与えるべき最小の信号電圧  $V_{min}$  以下とする。

【0092】次に行アドレス線駆動回路 5 2 により行アドレス線が線順次によって選択されていくが、ここで画素信号線に加えられる電圧は、書き換えを行う画素（通常、リセットパルスを加えた画素）については画像データに従った画像信号  $V_{sig}$  が、書き換えを行わない画素については、整流素子 D 1 が非導通状態となる電圧  $V_{off}$  が印加される。

【0093】つまり、信号線ドライバ 5 1 からは、画素信号線に対して書き換え実施対象画素（通常、リセットパルスを加えた画素）については画像データに従った画像信号  $V_{sig}$  が output され、書き換えを行わない画素については、 $V_{off}$  なるレベルの電圧が output される。この  $V_{off}$  なるレベルの電圧は整流素子 D 1 が非導通状態となる電圧である。

【0094】ここで各電圧の関係は、例えば  
 $V_{off} \leq V_{rs} \leq V_{min} \leq V_{sig} \quad \dots (1)$   
 である。

【0095】従って、行アドレス線からオン信号が与えられたスイッチング素子 SW 1 は、画素信号線から与えられる画像データの電圧により、ダイオード D 1 がオンとなったり、オフ状態となったりする。書き替えを行う画素に対しては、リセット信号線駆動回路 5 3 から、リセット信号が与えられることになり、このリセット信号が与えられた画素のスイッチング素子 SW 2 は、オン状態となってリセットパルス  $T_{RS}$  端子からのリセット電圧  $V_{rs}$  がその画素の補助容量  $C_s$  に与えられ、補助容量  $C_s$  はリセット電圧  $V_{rs}$  になる。

【0096】このような構成をとることによって、オン状態になっているスイッチング素子 SW 1 を介してダイオード D 1 に画像データを与えることで、画像データの内容（電圧レベル）とその画素の補助容量  $C_s$  の保持電圧に対応してダイオード D 1 が導通／非導通になる。これにより、書き込みの必要な画素についてはダイオード D 1 が導通状態になって画素データがその画素の補助容量  $C_s$  に与えられ、ここに保持され、液晶 CLC の画素表示に供される。また、書き替えの必要ななかった画素はダイオード D 1 が非導通であるから補助容量  $C_s$  に電流は流れず、その分、低消費電力化が図れる。

【0097】全面書き替えの必要な場合は、対象の画素にリセットパルスを印加する。このリセットパルスが印加された画素についてはその補助容量  $C_s$  はリセット電圧  $V_{rs}$  になっているので、新たに書き込みを行う必要がでてくる。これを、オン状態になっているスイッチング素子 SW 1 を介してダイオード D 1 に画像データを与えることで、画像データの内容（電圧レベル）に対応してダイオード D 1 が導通／非導通になることにより、画素データ対応に書き替えができることになる。

【0098】なお、書き換えを行う画素に対しては別段に設けたフレームメモリ等から画像情報を出力するような構成とすることができる。また、表示画面上で書き換えの多い領域を定め、その領域に本具体例を特に用いることが望ましい。

【0099】このように、マトリックス状に配列した画素に対して、画素内に整流素子（ダイオード）を有し、これを画素信号線と液晶の画素電極間に配置することによって、画素信号線と画素間のスイッチング素子が ON 状態になった場合においても、信号線電位と画素電極電位の電圧関係によって画素への書き込み動作を制御できるようにした。これにより、例えば、列方向に配列された画素に対して走査線に ON 電圧が印加され、それらの画素が一括して選択されていた場合においても、画素信号線に加える電圧によっては整流素子により、非導通状態になるため、画素電極への信号書き込みが行われないようになることができる。よって同じ走査線に配設された画素間においても選択的書き込み動作を行わせることができる。そして、この場合、書き換えを行う画素については前フィールドの画像信号をリセットする動作が必要となるため、画素内に有する別のスイッチング素子を介し補助容量の電位をリセット電位にし、これによって液晶セルの画素電極と対向電極電位を一致させるようにした。

【0100】このような構成により、書き替えを最小限にして低消費電力化を図ることができるようになる。次に、1 画素内にスイッチング素子を 2 つ、整流素子を 2 つ設け、前記スイッチング素子を制御するための走査線を、列方向に配列された画素に対し 2 本配設すると共に、前記走査線の選択する位相を異ならせるようにし、信号線電位と画素電極電位の電圧関係によって画素への書き込みおよび消去動作を制御できるようにした例を次に第 3 の具体例として説明する。

【0101】（第 3 の具体例）第 3 の具体例は、マトリックス状に配列された複数の画素のうち、個々の画素毎もしくは複数個の画素からなる画素ブロック毎に、リセットパルスを印加および任意選択駆動を行うものである。図 6 (a) は本発明の第 3 具体例に係る液晶表示装置の要部の構成を示すブロック図、図 6 (b) はその各液晶セルの大まかなセル構成を示す図である。本具体例の液晶表示装置は、図 6 に示すように、液晶表示パネル 6 0 と、信号線ドライバ 6 1 と、行アドレス線駆動回路 6 2 と、行画素カウンタ回路 6 4 と、行アドレス線信号発生回路 6 5 とを具備する。

【0102】図 6 (b) に、各画素毎に選択するための液晶パネルのセル構成を示してあるが、基本的なセル構成は、液晶 CLC と、補助容量  $C_s$  と、スイッチング素子 SW 1 および SW 2 と、整流素子 D 1 および D 2 によりなり、スイッチング素子 SW 1 はそのゲートを行アドレス線 6 6 に接続しており、スイッチング素子 SW 2 はそ

19

のゲートをリセット信号線67に接続している。補助容量C<sub>b</sub>は液晶CLCの駆動電極と対向電極との間に接続しており、そして、画素位置対応の画素信号線と液晶CLCの駆動電極との間に順方向接続した整流素子D1を介してスイッチング素子SW1のソース・ドレイン間を接続し、また、逆方向接続した整流素子D2を介してスイッチング素子SW2のソース・ドレイン間を接続した。

【0103】また、信号線ドライバ61は画像対応の画素データの他、V<sub>rs</sub>なる電圧レベルのリセット信号と、V<sub>ns</sub>なる電圧レベルの非書き換え用信号を出力できるようにしてあり、前記行アドレス線駆動回路62より行アドレス線67にON(オン)電圧が印加されることで、スイッチング素子SW2がON(オン)となった画素のうち、書き換えを行う画素に対しては画素信号線よりV<sub>rs</sub>なるリセット信号を発生して印加し、書き換えを行わない画素に対してはV<sub>ns</sub>なる非書き換え用信号を発生して印加できる構成とした。

【0104】従って、前記行アドレス線駆動回路62より行アドレス線67にON(オン)電圧を印加することで、スイッチング素子SW2がON(オン)となった画素のうち、書き換えを行う画素に対しては画素信号線よりV<sub>rs</sub>なるリセット信号を印加することができ、書き換えを行わない画素に対してはV<sub>ns</sub>なる非書き換え用信号を印加することができる。

【0105】この場合のV<sub>rs</sub>は、画素電極電位として与えるべき最小の信号電圧V<sub>min</sub>以下とし、V<sub>ns</sub>は画素電極電位として与えるべき最大の信号電圧V<sub>max</sub>以上とする。次に行アドレス線66にON電圧が印加され、スイッチング素子SW1がON(オン)となった画素のうち、書き換えを行う画素に対しては画素信号線より画像信号(画素データ)V<sub>sig</sub>が印加され、また、書き換えを行わない画素に対してはV<sub>rs</sub>が印加される。

【0106】各電圧関係は例えば

$$V_{rs} \leq V_{min} \leq V_{sig} \leq V_{max} \leq V_{ns} \quad \dots (2)$$

である。この場合、行アドレス線65、66について、同一の行アドレス線駆動回路から配線されていても良いし、また別の行アドレス線駆動回路からの配線となっていても良い。

【0107】このように、1画素内にスイッチング素子を2つ、整流素子を2つ有し、前記スイッチング素子を制御するための走査線が、列方向に配列された画素に対し2本配設され、前記走査線の選択する位相を異ならせるとともに、信号線電位と画素電極電位の電圧関係によって画素への書き込みおよび消去動作を制御できるようにした。この場合、整流素子が導通となる方向は互いに逆方向となるように配設し、これにより、例えば従来のように列方向に配列された画素に対して走査線にON電圧が印加され、一括して選択されていた場合においても、信号線に加える電圧によっては整流素子により、非導通状態になるため、画素電極への信号書き込みおよび

20

消去が行われないようにすることができるようになり、低消費電力化を図ることができる。また、この場合、2本の走査線が列方向のみに配列されているため、行アドレス線駆動回路のみによって実施できるもしくは夫々の行アドレス線駆動回路を片側に設置できるパネル構成がとれるため、ドライバが増えることによる額縁サイズが大きくなるということを回避できる。

【0108】画素信号線を駆動する信号線ドライバと、列アドレス線を駆動する列アドレス線駆動回路が表示面に対し同じ側に配置することができるようにして、ドライバが増えることによる額縁サイズが大きくならないようにした別の例を次に説明する。

【0109】(第4の具体例) 第4の具体例は、列方向に配設された列アドレス線および列アドレス駆動回路を有する表示装置において、信号線ドライバと前記列アドレス線駆動回路とを表示面に対し同じ側に配置するものである。

【0110】図7(a)は本発明の第4具体例に係る液晶表示装置のパネル周辺部のアレイ構成を示す図であり、70は画素信号線、71は列アドレス線、72は画素信号線のパッド、73は列アドレス線のパッドである。本具体例の液晶表示装置は、前記画素に画像信号を送信する複数の画素信号線と、この画素信号線に画像信号を供給する信号線ドライバと、夫々の画素を選択する互いに直交した行アドレス線および列アドレス線と、行方向に配設された複数の前記アドレス線に走査信号を供給する行アドレス線駆動回路と、列方向に配設された複数の前記アドレス線に走査信号を供給する列アドレス線駆動回路とを有し、画素毎に選択走査することを可能にする表示方式において、前記列アドレス線駆動回路と信号線ドライバは表示面に対し同じ側に配置する。

【0111】このため、図7(a)に示すように、例えば、列アドレス線71と画素信号線70の長さを変えることによって、画素信号線のパッド72と列アドレス線のパッド73とは段の異なった(横一列とならない)構成をとることができる。

【0112】図7(b)はパッドとタブ配線75とのコントクト部を示す。パッドとタブ配線75は、例えば異方性導電膜74などを介し、導通させるものとする。このように、異方性導電膜を用いることによって、同一のテープキャリア上に信号線ドライバおよび列アドレス線駆動回路を実装することができるようになるため、列アドレス線が増えたことによるモジュールの面積が増えることがなくなる。

【0113】図7(c)は、本具体例において、信号線ドライバと列アドレス線駆動回路とを同一のテープキャリアアッパッケージとした場合の構成を示すものである。次に液晶表示パネルにおいて、画素の書き込みの極性が異なることによる画素の輝度差がフリッカとなって現れる場合において、隣接する画素間で極性を異らせること

ができ、フリッカを補償することができるようとした例を第5の具体例として説明する。

【0114】(第5の具体例) 第5の具体例は、複数画素をマトリックス配列した液晶表示装置において、隣接する画素間において書き込みの極性を反転させることにより、極性が異なることで画素の輝度が異なる場合に生じるフリッカを補償するものである。

【0115】図8には、各画素毎に選択するための液晶パネルのセル構成を示してある。基本的なセル構成は、第1の具体例とほぼ同様で、液晶C<sub>Lc</sub>と、補助容量C<sub>s</sub>と、スイッチング素子SW1およびSW2よりなり、スイッチング素子SW1は行アドレス線81に接続しており、スイッチング素子SW2は画素ブロックアドレス線82に接続している。

【0116】この場合、画素ブロックは異なる信号線に配設された画素を一つのブロックとする。これにより、前記各アドレス線駆動回路12より前記各アドレス線81にON(オン)電圧が印加され、スイッチング素子SW1およびSW2が同時にON(オン)となった画素について、画素信号線83および84より画像信号が印加されることになるが、この具体例では信号線83と信号線84では極性の異なる画像信号が印加されるようとする。

【0117】また、選択された画素ブロックの画素のうち、+(正極性)に書き込みが行われた画素数と、-(負極性)に書き込みが行われた画素数と、ほぼ同数であることが望ましい。また、極性の反転方法は数フレーム毎に切り換えるようになっているのがよい。

【0118】このようにこの具体例は、隣接する画素間において書き込みの極性を同一もしくは同一としないことによって、極性が異なることで画素の輝度が異なる場合において、隣接画素間で極性を反転させるようにし、これによりフリッカを補償することを特徴とするものである。書き込みの極性が異なることによる画素の輝度差がフリッカとなって現れる場合において、この具体例では隣接画素間で極性を異ならせることができるため、フリッカを補償することができる。

【0119】この場合、マルチフィールド駆動でよく知られているように、隣接する1画素毎に極性を反転させずに、複数画素ブロック単位で反転させる、もしくは複数フィールドに亘って反転を行うこともでき、視覚の時空間周波数特性において視認される領域に入らないようにすることで画質を十分維持できる。

【0120】次に動作クロックの周波数を低減する技術を第6の具体例として説明する。

(第6の具体例) 第6の具体例は、1行内に書き換えを行う画素と書き換えを行わない画素が含まれている場合に、画像信号のアドレスに合わせてクロックを変換させることを特徴とする。

【0121】図9は本発明の第6具体例に係る各部の信

号波形を示す。画像信号を受けて画素信号線に画素データを出力する信号線ドライバ11には、画像信号である画像データQと、クロックCKと、アドレス指定信号ADとを入力する。その際、本具体例では、クロックCKを連続発生ではなく、停止期間を設けた図9の如きとする。

【0122】画像データQは図9に示すように、書き換えを行う画素に対する画像データをQ<sub>s</sub>とし、書き換えを行わない画素に対する画像データをQ<sub>ns</sub>とする。また、STHはスタートパルスであり、信号線ドライバ11には、クロックCKによりシフト動作するシフトレジスタを設けて画像データをシフトする構成とするが、このSTHは信号線ドライバ11における第1段目のシフトレジスタへ画像データ入力開始を指示するスタートパルスとなる。

【0123】本具体例における信号線ドライバ11はスタートパルス入力後、シフトレジスタへの画像データ入力が開始されるが、アドレス信号ADによってクロックCKが制御されるため、画像データQのシフト回数も制御されることになる。ただし、この場合、書き換えを行う画素の画像データは、STHに同期してコントロール回路より、信号線ドライバ11へ入力されなければならない。ここで、コントロール回路は図示はしていないが液晶表示装置の制御の中核を司るものである。

【0124】また、画像1ライン中において、書き換えを行う画素と画素の間に書き換えを行わない画素が含まれる場合にも、同一行の画像データのうち、シフト回数の多いものから画像データをSTHに同期して信号線ドライバに入力させれば良い。

【0125】このように、本具体例によれば、画素への書き換えを行わない画素が存在する場合に、信号線へのクロックを停止する、もしくは書き換えを行う画素のアドレスに合わせてクロックの周波数を低くすることができるため、信号線ドライバでのクロックによる消費電力、また、画像データをシフトさせるために消費する電力を低減できる。

【0126】図10はクロック周波数を低くする別の具体例に係る各部の信号波形図である。本具体例においては、1フレームの画像入力を開始を指示するスタートパルスSTVに同期させて、1フレーム分の書き換えを行う画素に対する画像データを、書き込みラインに無関係に、シリアルに信号線ドライバに入力開始させるようにする。

【0127】この場合、画像データはクロックが入力されている間だけ、入力させるようにできる。但し、コントロールパネルからの出力はアドレス信号に合わせて変換されており、必ずしも1ライン分の画像データがブロック単位で送られる必要はない。また、この場合、クロックを停止させずに表示画像に合わせて低速化することもできる。

23

【0128】以上、本発明を図示の各具体例に説明したが、行アドレス線と列アドレス線を入れ換えることも、スイッチング素子と整流素子の配置方法も変えることができ、本発明は各具体例に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0129】次に画素毎に任意に選択が可能であり、書き換える部分だけ表示信号を伝送し、書き換えない部分については表示信号を伝送する必要をなくして、メモリ機能をどこかに有する液晶表示装置であれば、伝送信号により消費される電力を大幅に低減できるようにした例を第7の具体例として説明する。

【0130】(第7の具体例) 図11に第7の具体例の構成を、また、図12に駆動タイミングチャートを示す。図11で、スイッチング素子である TFTトランジスタTr1とTr2のV<sub>th</sub>は共に4[V]とする。V<sub>g1</sub>は選択信号であり、ON(オン)が5[V]で、OFF(オフ)が0[V]である。また、V<sub>s1</sub>には、ある時間は選択信号、ある時間は画素信号が入力される。選択信号時は、ONが10[V]、OFFが5[V]である。

また、画素信号時は0~4[V]まで変化する。なお、交流駆動の場合は駆動電圧2[V]の場合となる。

【0131】図12(a)のタイミング図は画素(1,1)を選択して書き込む場合について示している。まずははじめに、V<sub>g1</sub>とV<sub>s1</sub>を同時に選択状態とする。つまり、V<sub>g1</sub>は5[V]、V<sub>s1</sub>は10[V]とする。

【0132】この時、Tr1はON(オン)状態となり、V<sub>p1</sub>に選択信号5[V]が書き込まれる。次に、V<sub>s1</sub>を画像信号である-4[V]に変化させると、Tr1はOFF状態となり、選択信号はホールドされる。このホールド期間に画像信号をTr2を通して書き込む。次に、V<sub>s1</sub>の選択を終了し、0[V]に落とすと共に、V<sub>s1</sub>を選択信号5~10[V]の範囲に戻すとTr1がON状態となり、非選択信号がV<sub>p1</sub>として書き込まれる。

【0133】その後、次の選択期間までV<sub>g1</sub>は選択状態にならないので、画素に書き込まれた-4[V]の電圧は次の選択期間に入る時までホールドされる。つまり、V<sub>s1</sub>が選択であろうとかろうとV<sub>g1</sub>か非選択である限り、Tr1を通して選択信号期間は非選択信号が画素の選択信号として書き込まれるので、画素の選択信号の保持用に設けられた容量C<sub>p1</sub>は画素信号がV<sub>s1</sub>に入力されている期間のみ、保持できるレベルであれば良いため、場合によっては浮遊容量のみで足りることから、特に設ける必要はないし、また、非選択期間は画像信号は0~-4[V]までしか変化しないので、Tr2のV<sub>th</sub>である4[V]を超えないため、ONになることはない。

【0134】つまり、同一の信号線V<sub>s1</sub>でも、信号レベルを変えることにより選択信号と画像信号を分ける事が可能となる。さらに、消費電力を下げるために、非選択信号がS出力された後は、画像信号でも、同じレベル

24

(非選択信号レベル：ここでは5[V])を出力し、V<sub>s1</sub>の信号自体が変化しないようにレベル設定する事もできる。また、OFF(オフ)する時間がかかる場合には、クロストークの原因にもなるので、これを防ぐために、図00A(b)に示したように、OFFするときに少しオーバーシュートをV<sub>s1</sub>に持たせることも考えられる。

【0135】以上説明した具体例では、nチャンネルTFTを用いた場合について示したが、pチャンネルを使用しても本発明は適用可能である。また、本具体例は、1画素選択について説明したが、ブロック(例えば、8×8画素や16×16画素)毎に、選択する場合も含まれる。動画の伝送には、MPEG2が今後、利用されるようになるが、この圧縮処理はブロック単位で行われる。従って、表示についてもブロック単位で行うようにした方が、適合性が良いし、MPEG情報を利用しやすい。

【0136】このように、画素毎に任意に選択が可能であるため、書き換える部分だけ表示信号を伝送し、書き換えない部分については表示信号を伝送する必要がなくなるため、メモリ機能をどこかに有する液晶表示装置では、大幅に伝送信号により消費される電力を小さくすることができる。

【0137】以上、詳細に説明してきたように、第7の具体例によれば、列方向の選択用の信号線を新たに設けることなく、画素毎の任意選択が可能となり、動いた部分のみ、書換を行うことにより、動画像でも大幅に消費電力を低減することができる。また、信号線駆動ドライバを画素電圧駆動用と選択用の両方に使用することができるので、別々のドライバを両側に配置することなく、片側に置くことができるようになるので、液晶パネルはその構造として狭額縫構造とすることができる。さらに、信号線ドライバを時分割された選択信号時と画像信号時で異らせることにより電源電圧を低減し、低耐圧の低コストドライバを使用することができるようになる。

【0138】

【発明の効果】本発明によれば、マトリックス状に配列した個々の画素もしくは複数個の画素からなる画素ブロック毎に選択駆動することができるため、書き換え必要としない画素夫々に対し、信号を出力する必要が無くなり、消費電力を大幅に低減できる。また、ブロック毎にアドレス線がつながるので、アドレス線の容量が小さくなり、その分低消費電力化可能である。また、本発明によれば、整流素子を有し、画素電極電位と信号線電極電位との電位関係によって、書き換えを行わない画素に対して書き換えを制御できるため、書き換え必要としない画素夫々に対し、信号を出力する必要が無くなり、消費電力を大幅に低減できる。また、本発明によれば、画素ブロックアドレス線駆動回路を必要としない、もしくは

25

信号線ドライバと画素ブロックアドレス線駆動回路とを表示面に対して同じ側に配置できるパネル構成をとることができるため、同一表示画面面積の液晶表示装置であれば、液晶モジュールとしてのサイズを小さくすることができる。また、本発明によれば、画素ブロック内で極性の異なる画素をほぼ同数ずつ書き込み動作できるため、フリッカを発生させることなく画質を改善できる。また、本発明によれば、信号線ドライバへのクロックを停止、もしくは低速化することができるため、信号線ドライバの消費電力を大幅に低減できる。

【0139】また、本発明によれば、画素毎に任意に選択が可能であるため、書き換えたい部分だけ表示信号を伝送し、書き換えない部分については表示信号を伝送する必要がなくなるため、メモリ機能をどこかに有する液晶表示装置では、大幅に伝送信号により消費される電力を小さくすることができる。

【図面の簡単な説明】

【図1】本発明を説明するための図であって、本発明の第1の具体例に係る液晶表示装置の要部構成とその液晶パネルのセル構成を示す図。

【図2】本発明を説明するための図であって、図1の装置における行アドレス線駆動回路および画素ブロックアドレス線駆動回路での信号処理態様を示す図。

【図3】本発明を説明するための図であって、図1の装置における各部の信号波形図と画素の選択状況とを示す図。

【図4】同具体例における画素ブロック構成の一例を示す図。

【図5】本発明を説明するための図であって、本発明の第2の具体例に係る液晶表示装置の要部構成とその液晶パネルのセル構成を示す図。

【図6】本発明を説明するための図であって、本発明の第3の具体例に係る液晶表示装置の要部構成とその液晶パネルのセル構成を示す図。

10

【図7】本発明を説明するための図であって、本発明の第4の具体例に係る液晶表示装置の配線構成を示す図。

【図8】本発明を説明するための図であって、本発明の第5の具体例に係る液晶表示装置の液晶パネルのセル構成を示す図。

【図9】本発明を説明するための図であって、本発明の第6の具体例に係る液晶表示装置の各部の信号波形図を示す図。

【図10】本発明を説明するための図であって、本発明の第6の別の具体例に係る液晶表示装置の各部の信号波形図を示す図。

【図11】本発明を説明するための図であって、本発明の第7の具体例の構成を示す図。

【図12】本発明を説明するための図であって、本発明の第7の具体例における駆動タイミングを示す図。

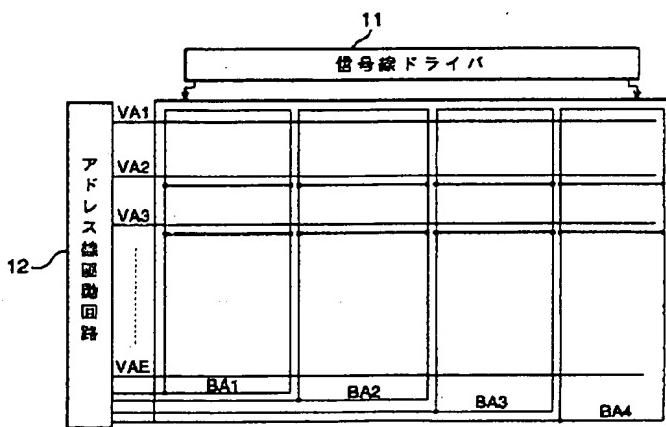
【図13】従来の液晶表示装置の要部構成とその液晶パネルのセル構成を示す図。

【図14】従来の例を示した図。

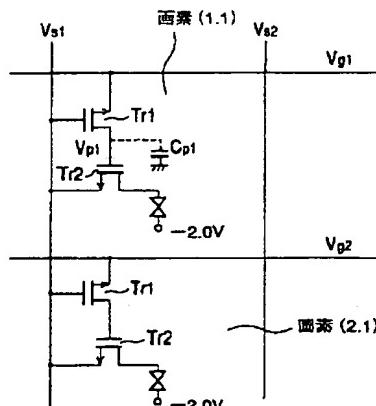
【符号の説明】

- 20 10, 50, 60…液晶表示パネル  
 11, 51, 61…信号線ドライバ  
 12, 52, 62…行アドレス線駆動回路  
 14, 54, 64…行画素カウンタ回路  
 15, 55, 65…行アドレス線信号発生回路  
 13…画素ブロックアドレス線駆動回路  
 16…画素ブロックカウンタ回路  
 17…画素ブロックアドレス線信号発生回路  
 53…リセット信号駆動回路  
 56…リセットカウンタ回路  
 30 57…リセット信号発生回路  
 SW1, SW2…スイッチング素子  
 D1, D2…整流素子  
 CLc…液晶  
 Cg…補助容量。

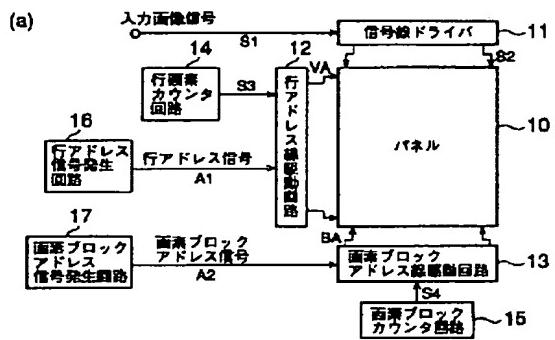
【図4】



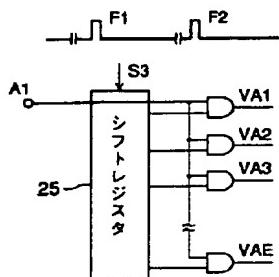
【図11】



【図 1】



[図2]



This diagram shows a detailed circuit layout for a signal driver. It features a vertical column of 12 input lines on the left, labeled 12 at the top. These lines connect to various logic and driver stages. The top stage is labeled "信号線ドライバ" (Signal Line Driver). Below this, there are two main sections of logic, each containing four AND gates (labeled SW1 through SW4). The outputs of these logic sections then feed into a series of driver stages, represented by small rectangles with internal resistors. The bottom section of the diagram is labeled "画面ブロックアドレス線駆動回路" (Panel Block Address Line Driver Circuit). The entire circuit is designed to handle 12 address lines, with specific connections for each line labeled along the bottom.

(b)

1H      2H

S4 26      27

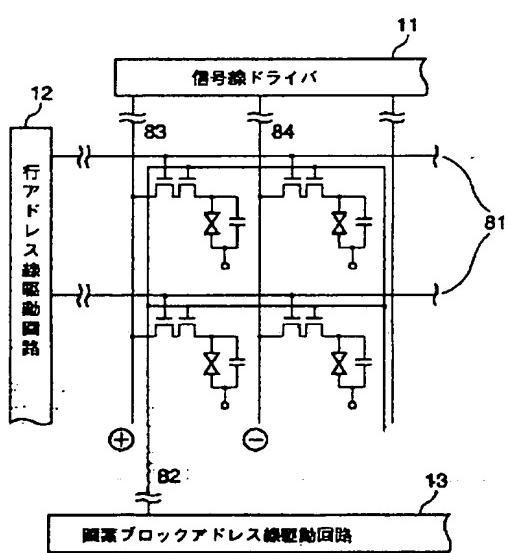
A1 G      MB BA1  
BA2  
BA3  
BAE

データメモリ

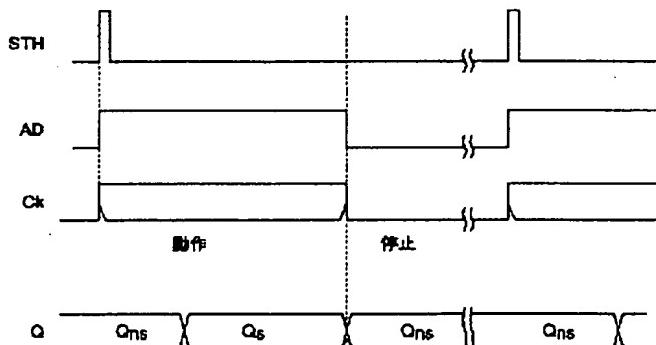
マルチブレクサ

シフトレジスタ

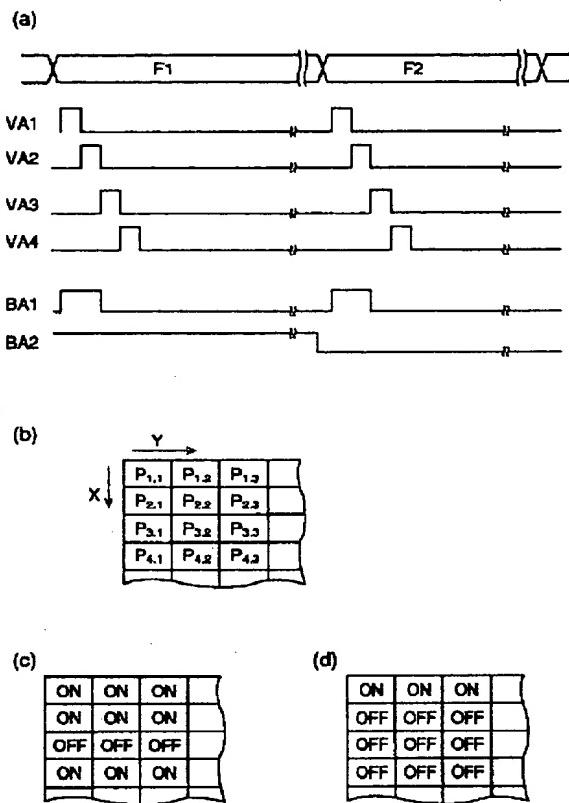
200



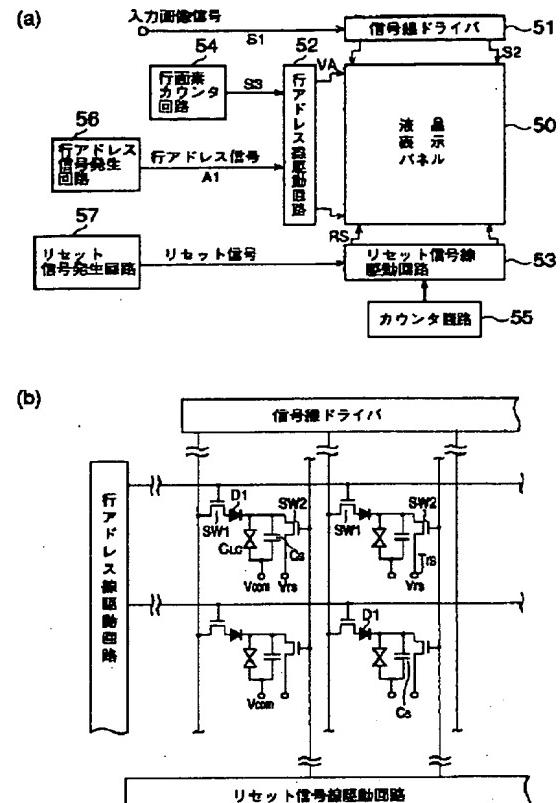
【図9】



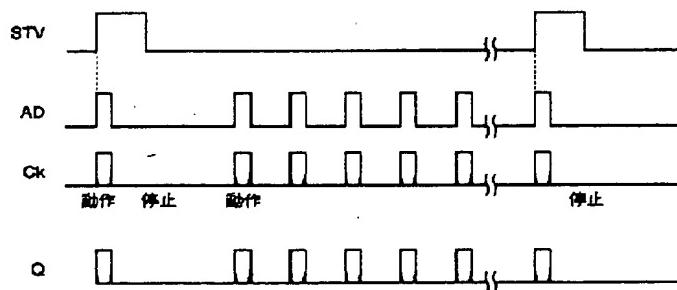
【図3】



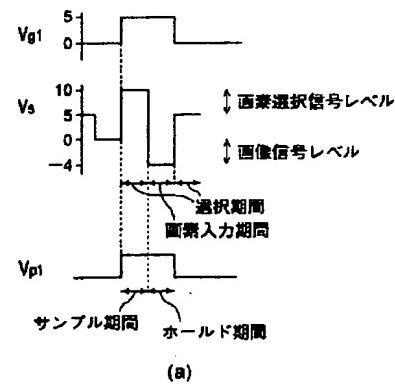
【図5】



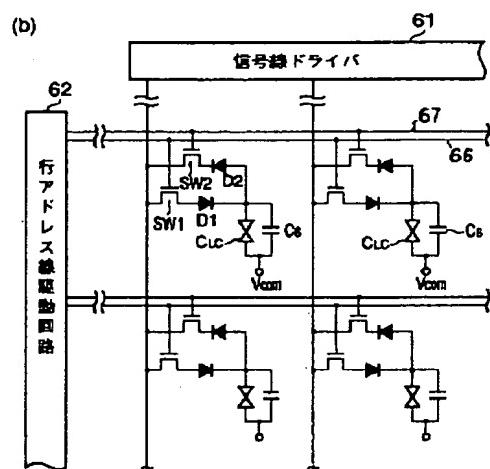
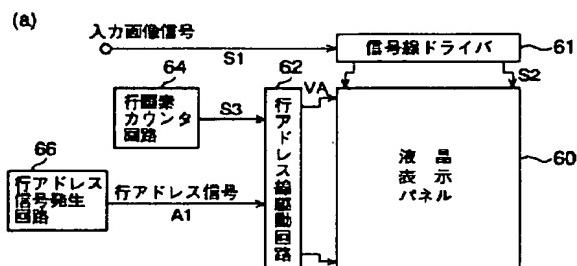
【図10】



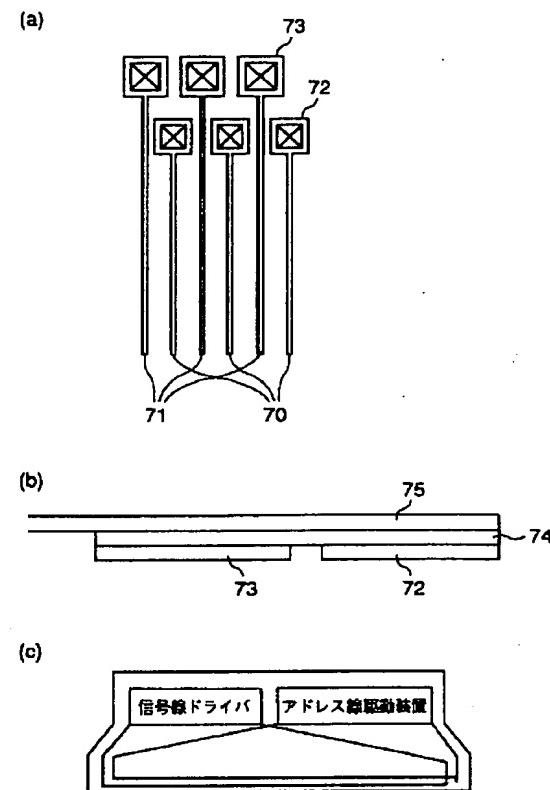
【図12】



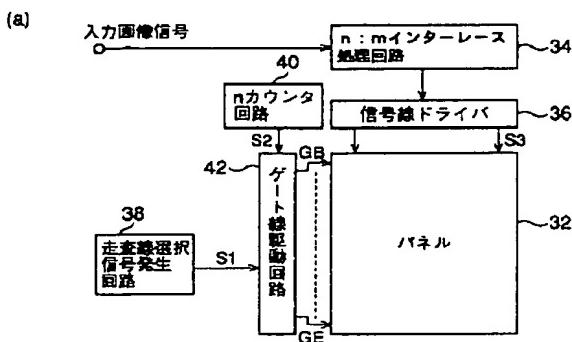
【図 6】



【図 7】



【図13】



【図14】

